

PATENT ABSTRACTS OF JAPAN

(11) Publication number:

59-214305

(43) Date of publication of application : 04.12.1984

(51)Int.Cl. H03B 5/36

(21) Application number : 58-088108

(71)Applicant : TOSHIBA CORP

(22) Date of filing : 19.05.1983

(72) Inventor: OISHI HIROHISA

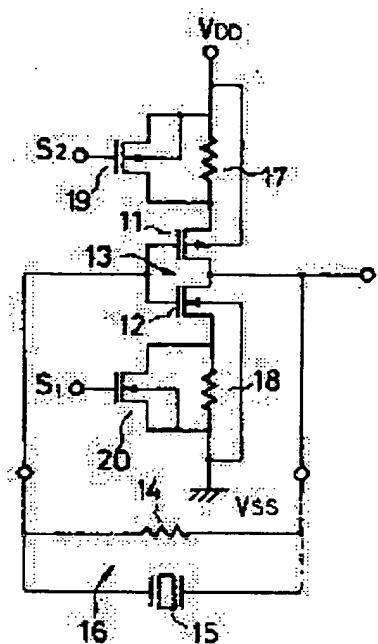
YUYAMA TOSHIQ

(54) COMPLEMENTARY MOS TYPE OSCILLATION CIRCUIT

(57) Abstract:

PURPOSE: To reduce power consumption and to facilitate oscillation by inserting a current limiting resistance between a CMOS inverter and a power source, and connecting an MOS transistor (TR) which is turned on only for a specific period when the oscillation is started in parallel to said resistance.

CONSTITUTION: A P channel MOSTR19 is connected to one current limiting resistance 17 in parallel and an N channel MOSTR20 is connected to the other current limiting resistance 18 in parallel; and control signals S2 and S1 which go up to a level "0" and down to a level "1" for the specific period in the start of oscillation are supplied to the gates of both MOSTRs 19 and 20. Thus, the MOSTRs 19 and 20 are turned on only in the start of oscillation to flow a large current to a CMOS inverer 13, and consequently the starting of oscillation is facilitate and a current is flowed through the current limiting resistances 17 and 18 in an oscillation state afer the start of oscillation to wave electric power.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑪ 公開特許公報 (A)

昭59-214305

⑫ Int. Cl.³
H 03 B 5/36識別記号
厅内整理番号
7928-5 J

⑬ 公開 昭和59年(1984)12月4日

発明の数 1
審査請求 未請求

(全 4 頁)

⑭ 相補MOS型発振回路

⑮ 特 願 昭58-88108

⑯ 出 願 昭58(1983)5月19日

⑰ 発明者 大石浩久

川崎市幸区堀川町72番地東京芝
浦電気株式会社堀川町工場内

⑱ 発明者 湯山俊夫

川崎市幸区堀川町72番地東京芝

浦電気株式会社堀川町工場内

⑲ 出願人 株式会社東芝

川崎市幸区堀川町72番地

⑳ 代理人 弁理士 鈴江武彦 外2名

明細書

1. 発明の名称

相補MOS型発振回路

2. 特許請求の範囲

(1) 1対の電源間に互いに導電型が異なる2つのMOSトランジスタを直列挿入してなる相補MOS型反転回路と、この反転回路の入出力端間に接続される発振用帰還回路と、上記反転回路と電源との間に挿入される電流制限抵抗と、上記電流制限抵抗に並列接続されるスイッチ素子とを具備したことを特徴とする相補MOS型発振回路。

(2) 前記スイッチ素子は発振開始の際の所定期間だけ導通するよう制御される特許請求の範囲第1項に記載の相補MOS型発振回路。

(3) 前記スイッチ素子はMOSトランジスタで構成され、その導通時の抵抗の値が少なくとも前記電流制限抵抗よりも小さく設定されている特許請求の範囲第1項に記載の相補MOS型発振回路。

(4) 前記スイッチ素子は発振開始以前では一方レベルに設定され、発振開始後、前記反転回路で発生される発振パルスが所定回数に達した後に他方レベルに設定される制御信号に基づいて導通制御される特許請求の範囲第1項に記載の相補MOS型発振回路。

3. 発明の詳細な説明

〔発明の技術分野〕

この発明はCMOSインバータを用いた相補MOS型発振回路に関する。

〔発明の技術的背景〕

第1図は消費電力の削減化が図られた従来のCMOS型(相補MOS型)発振回路の構成を示す回路図である。この発振回路は、正極性の電源電圧 V_{DD} 印加点と基準電源電圧 V_{SS} (アース電圧)印加点との間にPチャネルMOSトランジスタ T_{11} およびNチャネルMOSトランジスタ T_{12} を直列挿入し、かつ両MOSトランジスタ T_{11} , T_{12} のゲートどうしを接続してCMOSインバータ I_3 を構成し、このCMOSインバータ I_3 の入出力端間に

滑走抵抗 I_4 および I_5 からなる発振用滑走回路 I_6 を接続するようとしたものであり、しかも消費電力を削減するために、PチャネルMOSトランジスタ I_1 と V_{DD} 印加点との間におよびNチャネルMOSトランジスタ I_2 と V_{SS} 印加点との間に電流制限抵抗 I_7 , I_8 をそれを挿入するようとしたものである。そして上記電流制限抵抗 I_7 , I_8 の値は、消費電力と発振回路の諸条件によって決定されている。

〔背景技術の問題点〕

第1図の発振回路において、電流制限抵抗 I_7 , I_8 の値を大きくすれば、これに伴ってCMOSインバータ I_3 の各MOSトランジスタ I_1 , I_2 に流れる電流が低減され、これによって消費電力の削減化を図ることができる。ところが、上記抵抗 I_7 , I_8 の値を大きくし過ぎると発振停止状態から発振状態とするまでの時間が長くなり、容易に発振させることができないという欠点がある。

ヤネルMOSトランジスタ I_9 を並列接続し、この両MOSトランジスタ I_9 , I_{10} のゲートには発振開始の際の所定期間だけ“0”レベルおよび“1”レベルとなる制御信号 S_2 , S_1 を供給するようにしたものである。そして、上記両MOSトランジスタ I_9 , I_{10} の導通時における導通抵抗の値は、少なくとも前記電流制限抵抗 I_7 , I_8 の値よりも小さくなるように設定されている。

このような構成において、発振させる場合に、PチャネルMOSトランジスタ I_9 のゲートには“0”レベルに設定された制御信号 S_2 が、NチャネルMOSトランジスタ I_{10} のゲートには“1”レベルに設定された制御信号 S_1 がそれぞれ入力され、この両MOSトランジスタ I_9 , I_{10} がともに導通状態にされる。このとき、この両MOSトランジスタ I_9 , I_{10} の導通抵抗の値は十分に小さく設定されており、CMOSインバータ I_3 には十分大きな電流を流し得る。このため、容易に発振させることができる。

一方、発振が開始された後は、今まで“0”

〔発明の

この発明は上記のような事情を考慮してなされたものであり、その目的は消費電力が少なくかつ容易に発振させることができる複数MOS型発振回路を提供することにある。

〔発明の概要〕

この発明によれば、CMOSインバータと電源との間に電流制限抵抗を挿入し、この抵抗と並列に発振開始の際の所定期間にのみ導通制御されるMOSトランジスタを接続するようとした相補MOS型発振回路が提供されている。

〔発明の実施例〕

以下、図面を参照してこの発明の一実施例を説明する。

第2図はこの発明の一実施例による構成を示す回路図であり、第1図と対応する箇所には同一符号を用いてその説明は省略する。この実施例回路では、前記一方の電流制限抵抗 I_7 にPチャネルMOSトランジスタ I_9 を並列接続するとともに前記他方の電流制限抵抗 I_8 にはNチ

レベルに設定されておりPチャネルMOSトランジスタ I_9 のゲートに入力されていた制御信号 S_2 が“1”レベルに反転され、同様に今まで“1”レベルに設定されておりNチャネルMOSトランジスタ I_{10} のゲートに入力されていた制御信号 S_1 が“0”レベルに反転される。これによって、両MOSトランジスタ I_9 , I_{10} はともに遮断状態にされる。この遮断状態における上記両MOSトランジスタ I_9 , I_{10} の遮断抵抗の値は極めて大きい。したがって、この場合にCMOSインバータ I_3 には電流制限抵抗 I_7 , I_8 を介して電流が流れ、この電流の値は電流制限抵抗 I_7 , I_8 の存在によって十分に小さなものとすることができます。また、すでに発振が開始されているので、CMOSインバータ I_3 に小さな電流を流すことによる不都合はない。

このように上記実施例回路では、発振開始時にのみMOSトランジスタ I_9 , I_{10} を導通状態としてCMOSインバータ I_3 に大きな電流を流してやり、これによって発振開始を容易にし、し

かも発振開始後の発振状態におけるときは電流制限抵抗 I_7, I_8 を介して電流を流すことによって消費電力の削減化を図るようとしたものである。

したがって、上記実施例回路を用いたシステムでは、電源投入後、短時間で安定な回路動作を得ることができる。また上記実施例の発振回路を採用したシステムのテストを行なう場合、発振回路自体が短時間で安定な状態となるため、テスト時間の短縮化が達成でき、テストに要するコストの低減化も可能である。

第3図は前記MOSトランジスタ I_9, I_{10} のゲートに供給される制御信号 S_1, S_2 を発生するための制御回路の一具体例を示す。この回路は電源の投入後に“0”レベル，“1”レベルとなり、前記CMOSインバータ I_3 の出力端で得られる発振パルスを8回計数した後に“1”レベル，“0”レベルに反転する制御信号 S_1, S_2 を発生する回路である。この回路は前段の出力 \bar{Q} を後段のクロック(CK)入力とする如く3

源が投入された直後ではコンデンサ C_6 は十分に充電されていず、その端子電圧は $V_{DD}/2$ 達していないので、各フリップフロップ $3_1 \sim 3_3$ はリセットされ、それぞれの出力 \bar{Q} は“1”レベルに設定される。したがって、一方の制御信号 S_1 は“1”レベルに、他方の制御信号 S_2 は“0”レベルにそれぞれ設定される。ここで一方の制御信号 S_1 は前記第2図回路内のNチャネルMOSトランジスタ I_{20} のゲートに、他方の制御信号 S_2 は同じくPチャネルMOSトランジスタ I_9 のゲートにそれぞれ入力されているので、このときには前記したように両MOSトランジスタ I_9, I_{20} がともに導通状態にされる。

電源の投入後に、第2図に示す発振回路が動作して、CMOSインバータ I_3 から発振パルスが順次出力され、このパルスが第3図回路内のインバータ I_4 を介して初段のフリップフロップ 3_1 のクロックとして入力される。このときまでに前記コンデンサ C_6 は V_{DD} まで充電されており、各フリップフロップ $3_1 \sim 3_3$ のリセット

個のD型フリップフロップ $3_1 \sim 3_3$ を縦列接続し、初段と2段目のフリップフロップ $3_1, 3_2$ のデータ(D)入力端にはその出力 \bar{Q} を供給して各1ビットのバイナリカウタを構成し、終段のフリップフロップ 3_3 のデータ(D)入力端は V_{DD} 印加点に接続して“1”レベルのデータを入力し、初段のフリップフロップ 3_1 のクロック(CK)入力端にはインバータ I_4 を介して、前記CMOSインバータ I_3 で発生される発振パルスを入力するようにし、かつ抵抗 R_5 およびコンデンサ C_5 を直列接続してなり電源の投入直後では“0”レベルとなるリセット信号を発生する電源リセット回路 I_7 を設け、このリセット信号を上記各フリップフロップ $3_1 \sim 3_3$ のリセット(R)入力端に入力するように構成され、一方の制御信号 S_1 は終段のフリップフロップ 3_3 の出力 \bar{Q} として、他方の制御信号 S_2 はこの出力 \bar{Q} をインバータ I_8 で反転してそれぞれ得られる。

このような構成でなる制御回路において、電

ト状態が解除されているので、各フリップフロップ $3_1 \sim 3_3$ はクロック入力に同期して時計動作を行なう。そして、終段のフリップフロップ 3_3 には入力データとして“1”レベルが常に入力されているので、初段のフリップフロップ 3_1 に発振回路からのパルスが8回入力した後は、終段のフリップフロップ 3_3 の出力 \bar{Q} は“0”レベルに反転した後そのまま変化しない。すなわち、3つのフリップフロップ $3_1 \sim 3_3$ でパルスが8回計数された後では、一方の制御信号 S_1 は“0”レベルに、他方の制御信号 S_2 は“1”レベルにそれぞれ設定されるので、このときは前記したように両MOSトランジスタ I_9, I_{20} がともに遮断状態にされる。

なお、この発明は上記した実施例に限定されるものではなく種々の変形が可能であることはいうまでもない。たとえば電流制限抵抗 I_7, I_8 の代りに所定の抵抗を有するMOSトランジスタを用いることも可能である。

さらに第3図に示す制御回路では、発振回路

の発振パルスを8回計数し、後に制御信号S₁、S₂のレベルを反転させの場合について説明したが、これはフリップフロップの数の増減によって計数パルスの数を変えることも可能である。

〔発明の効果〕

以上説明したようにこの発明によれば、消費電力が少なくかつ容易に発振させることができ、相補MOS型発振回路を提供することができる。

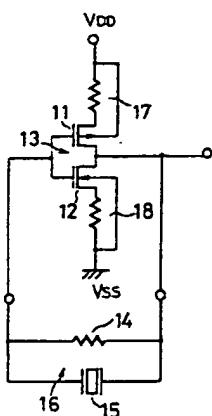
4. 図面の簡単な説明

第1図は従来のCMOS型発振回路の回路図、第2図はこの発明の一実施例を示す回路図、第3図は第2図回路で用いられる信号を発生するための回路を示す回路図である。

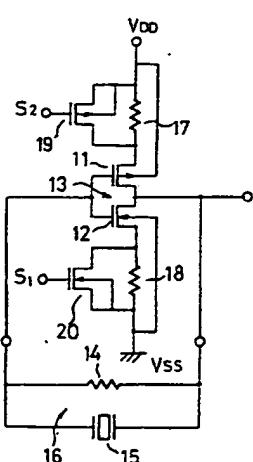
13…CMOSインバータ、16…発振用帰還回路、17, 18…電流制限抵抗、19, 20…MOSトランジスタ。

出願人代理人 弁理士 鈴 江 武 彦

第1図



第2図



第3図

